

کاهش نرخ SEU برای FPGA های مبتنی بر SRAM در کاربرد های فضایی

چکیده:

استفاده از FPGA های مبتنی بر SRAM در کاربردهای فضایی مانند عملیات اکتشاف دور به دلیل قابلیت باز پیکربندی در این قطعات بسیار مورد توجه بوده است. نتایج آزمون‌های به دست آمده بر روی FPGA های مبتنی بر SRAM نشان می‌دهد که این قطعات فوق العاده به تشعشعات فضایی حساس هستند و نرخ SEU در آنها بسیار زیاد است. کد همینگ برای مقابله با SEU در بیت‌های پیکره بندی FPGA های مبتنی بر SRAM استفاده شده است. این کد قابلیت تصحیح خطاهای تک بیتی را دارد، اما با پیشرفت تکنولوژی قطعات نیمه هادی و افزایش چگالی حافظه‌ها، یک ذره پر انرژی از تشعشعات فضایی می‌تواند چند بیت حافظه را به صورت هم زمان واژگون گرداند که در اکثر موارد این بیتها مجاور هستند.

در این مقاله روشی مبتنی بر الگوریتم ژنتیک پیشنهاد شده است، که هدف این روش یافتن ماتریس توازن بهبود یافته برای کدهای تصحیح خطای استفاده شده در ماژول سویچ و LUT ها است. پس از اعمال روش پیشنهادی تقریباً تمام خطاهای دو بیتی یا سه بیتی مجاور در کدهای مربوط (فقط در کدهای شامل 16 بیت اطلاعات، کارایی 95٪ است و در بقیه موارد کارایی 100٪ است) قابل تشخیص شده است که نسبت به جایابی بیت، نتایج بهبود زیادی داشته است. اما این روش با افزودن در تعداد گیت‌های مورد نیاز برای دیکد کردن همراه است. از این رو مدل اولیه بهبود داده شده است و قابلیت مصالحه بین حجم سخت افزاری و کارایی به آن اضافه شده است. در نتیجه از این روش با دو رویکرد متفاوت می‌توان استفاده کرد: 1- با رویکرد کاهش سخت افزار. 2- با رویکرد افزایش کارایی. پس از اعمال مدل بهبود یافته در کدهای مورد نظر، در نهایت زمانی که افزودن سخت افزاری مجاز باشد، کارایی مربوط به تمامی کدها به 100٪ رسیده است و زمانی که افزودن سخت افزاری مجاز نباشد، در بعضی موارد کارایی نسبت به مدل اولیه کاهش یافته است، اما هنوز نسبت به جایابی بیت افزایش خوبی دارد.

کلمات کلیدی: SEU-FPGA- ماژول سویچ - LUT - کد همینگ.

الف- مفاهیم

محیط تشعشعی فضا

زمین و محیط اطراف آن توسط اتمسفر از تشعشعات فضایی محافظت می‌شود، اما در بالای اتمسفر، منطقه دیگری به نام یونسفر قرار دارد. این منطقه، منطقه‌ای یونی است و در محدوده 60 تا 1000 کیلومتری سطح زمین قرار دارد. این محیط که شامل پلاسما، الکترونها، پروتونها و یونهای پر انرژی است، شرایط خطرناکی را برای سامانه‌های فضایی ایجاد می‌کند.

در سال‌های اخیر با توجه به عملیات در محیط‌های مختلف فضا، توجه به شناسایی تشعشعات و تغییرات آنها در محیط‌های مختلف فضا بیشتر شده است [1]. در نهایت منابع اصلی شناسایی شده برای تشعشعات فضایی عبارتند از: پرتوهای کیهانی^۱، پرتوهای پر انرژی خورشید، کمربند تابشی زمین (ون آلن)^۲ و بادهای خورشیدی^۳ [2]، که در بند های زیر به این چهار منبع تشعشعات بیشتر پرداخته شده است.

پرتوهای کیهانی

پرتوهای کیهانی در خارج از منظومه شمسی تولید و وارد آن می‌شوند و شامل ذرات باردار پرانرژی مانند پروتون، الکترون و یونهای هسته‌های عناصر سبک مانند لیتیم، برلیوم و بور هستند. انرژی این پرتوها در حدود 10^{20} eV است. در حالی که امروزه، به کمک بزرگترین شتاب دهنده‌ها، پرتوهایی با انرژی 10^{13} eV تولید می‌شود [1]. این پرتوها شامل 85٪ پروتون، 14٪ ذرات آلفا و کمتر از 1٪ یونهای سنگین هستند. یونهای سنگین، در مقایسه با پروتونها، انرژی بیشتری وارد می‌کنند و قابلیت تخریب بیشتری دارند.

پرتوهای پر انرژی خورشید

شدت پرتوهای خورشیدی به صورت طبیعی به میزان فعالیت خورشید بستگی دارد. این ذرات وابسته به زبانه‌های خورشیدی^۴ و همچنین پرتاب جرم از هاله خورشیدی هستند. زبانه‌های خورشیدی انفجارهای پرقدرتی در جو خورشید است، که میزان زیادی انرژی آزاد می‌کنند. این زبانه‌ها ترکیبی از پرتاب جرم از هاله‌های خورشیدی، پلاسماهای داغ، پروتونها و نوترونهای شتاب داده شده و الکترونهای پر سرعت هستند. طبق عکس-

¹ Galactic Cosmic Rays

² Van Allen Belts

³ Solar Winds

⁴ Solar Flares

هایی که از یک پرتاب جرم از زبانه‌های خورشیدی گرفته شده است، سرعت اجرام در بازه 50-2000 Km/s است.

تغییرات دوره‌های خورشیدی، با افزایش میزان شار تابش EUV⁵ خورشید و افزایش فعالیت ژئومغناطیس به دلیل تغییرات در بادهای خورشیدی، مرتبط است. افزایش فعالیت‌های خورشید، بالا رفتن دما در لایه‌های بالایی جو را در پی خواهد داشت، که موجب انبساط بیرونی اتمسفر و افزایش چگالی با توجه به ارتفاع می‌گردد. به صورت مشابه چگالی و دمای یونسفر نیز به تغییرات دوره‌های خورشید واکنش نشان می‌دهد [3].

کمر بند تابشی

کمر بند تابش و ذرات تشکیل دهنده آن از اجزاء و عناصر مهم اقلیم فضا هستند. زمین توسط میدان‌های مغناطیسی احاطه شده، که برای زمین شبیه یک ستاره دنباله دار است. بنابراین، ذرات باردار سریع را در یک زندان نامرئی به دام می‌اندازد. میزان این ذرات بی‌شمار و فرم آنها مانند ابری به شکل دونات است که زمین در مرکز آن قرار گرفته است. این هاله هزاران مایل اطراف استوا به دور زمین کشیده شده است. دانشمندان این پدیده را کمر بند تابش ون آلن می‌نامند. کمر بند تابشی به دو کمر بند داخلی در 2/5 برابری شعاع زمین با ترکیبی از پروتونهای پرانرژی با حداکثر 600 MeV و الکترونها با چندین MeV انرژی و کمر بند خارجی با ترکیب الکترونها پرانرژی در شعاع 10 برابری شعاع زمین تقسیم می‌گردد. همچنین در لایه خارجی پروتونها در محدوده 0/1 MeV تا 5MeV وجود دارند. فضای خالی مابین این دو کمر بند دارای شدت کمی از تاثیر گذاری است. ولی در چندین طوفان خورشیدی تحت تاثیر قرار گرفته است. لایه خارجی در بیشتر اوقات تاثیرگذارتر بوده و بیشتر تحت تاثیر بادهای خورشیدی است [1].

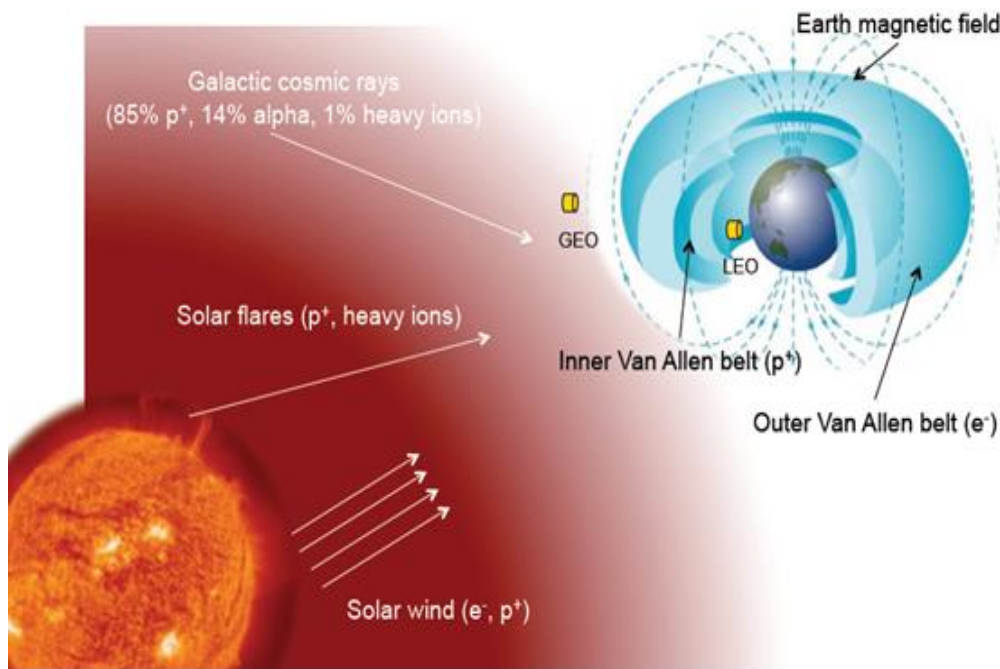
الکترونها به صورت غالب در محدوده یک تا چهار برابری شعاع زمین قرار دارند و تا شعاع 12 برابری زمین نیز کشیده شده‌اند. الکترونها به دو بخش داخلی و خارجی تقسیم می‌گردند. الکترونها با انرژی بیش از 1 MeV در منطقه‌ای مابین 3 تا 4 برابری شعاع زمین قرار دارند. بیشترین میزان انرژی الکترونها به دام افتاده 7 MeV است. که در ناحیه خارجی قرار دارد و بیشترین انرژی در ناحیه داخلی کمتر از 5 MeV است [3].

بادهای خورشیدی

بادهای خورشیدی یک جریان از ذرات باردار الکتریکی هستند که از فراز اتمسفر خورشید به بیرون پرتاب شده‌اند. بادهای خورشیدی به صورت معمول شامل الکترون و پروتون هستند. این جریان از ذرات باردار ی که

¹ Extrem Ultraviolet

دارای مقادیر گوناگونی از دما و سرعت در طی زمان هستند تشکیل شده است. و ذرات به دلیل انرژی جنبشی و دمای بالا از میدان گرانش خورشید فرار می‌کنند. سرعت بادهای خورشیدی به صورت عادی در بازه $300-800$ Km/s است، که معمولا دارای سرعت 400 Km/s و در بعضی از اوقات سرعت آنها به 700 Km/s می‌رسد [3]. در شکل 1-1 یک تصویر کلی از محیط پرتوی فضا نشان داده شده است.



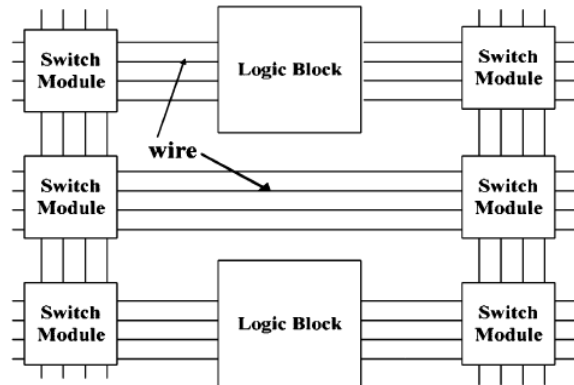
شکل 1-1 : تصویر کلی از محیط پرتوی فضا [4].

ساختار⁶ FPGA ها

در حال حاضر ترکیب کردن سخت افزارهایی که قابلیت انطباق و تغییر تابع مورد اجرای خود را نسبت به محیط دارند با تکنولوژی‌های مرتبط با کاربردهای فضایی بسیار مورد توجه قرار گرفته است، زیرا این نوع سخت افزارها برای عملیات اکتشافی دور و بین ستارگان که از شرایط این مکانها اطلاعاتی در دست نیست بسیار مفید هستند. یکی از کاندیداهای موردنظر در این زمینه FPGA های مبتنی بر SRAM است [5].

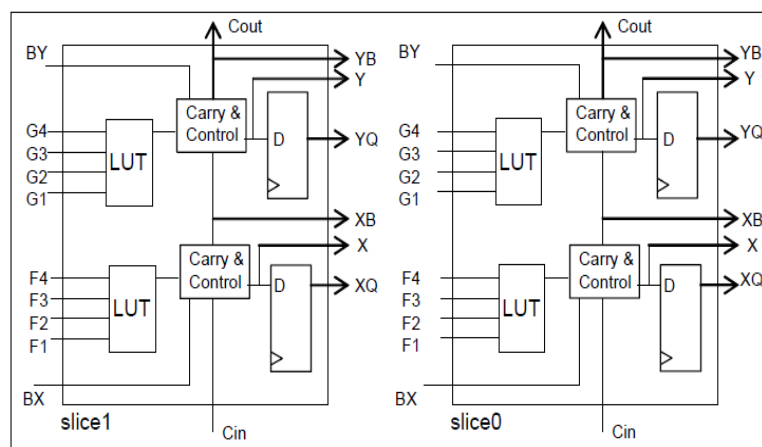
⁶ Field Programmable Gate Array

دو نوع حافظه پیکره بندی در FPGA ها وجود دارد، یکی برای بلوک‌های منطقی و دیگری برای ماژول‌های سویچ. بیت‌های پیکره بندی بلوک‌های منطقی برای ذخیره کردن جدول‌های صحت مربوط به توابع مدار استفاده می‌شوند و بیت‌های پیکره بندی مربوط به ماژول‌های سویچ برای تعیین چگونگی اتصالات بین توابع و پایه‌های خروجی مورد استفاده قرار می‌گیرند. معماری این مدل در شکل 1-2 نشان داده شده است.



شکل 1-2: مدل معماری یک FPGA مبتنی بر SRAM [6].

بلوک‌های منطقی خود نیز از سلول‌های منطقی^۷ ساخته شده‌اند. این سلول‌ها مبتنی بر LUT^۸ هستند. هر بلوک منطقی شامل 4 سلول منطقی است. RAM موجود در هر سلول منطقی یک 16x1 RAM است که 4 ورودی دارد. با ترکیب این سلول‌ها حالت‌های دیگر به وجود می‌آید. در شکل 1-3 شمای داخلی یک بلوک منطقی نشان داده شده است. البته در FPGA های Virtex-5 از RAM های 32x1 استفاده شده است [7].

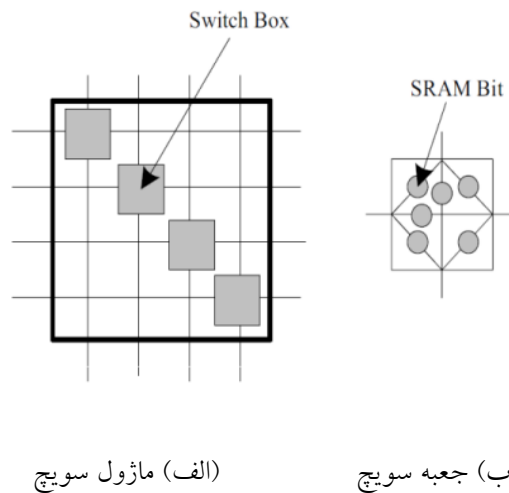


⁷ Logic Cell

⁸ Look Up Table

شکل 1-3: شمای داخلی یک بلوک منطقی [5].

همچنین در شکل 1-4 (الف) یک ماژول سویچ نشان داده شده است (هر ماژول سویچ شامل چهار جعبه سویچ است). همانطور که در شکل 1-4 (ب) نیز نشان داده شده است، هر جعبه سویچ⁹ شامل چهار سیم ورودی / خروجی است که می‌توانند به سیم‌های دیگر متصل شوند. بیت‌های SRAM اتصالات مختلف میان سیم‌ها را کنترل می‌کنند. بر اساس اینکه چه مقداری در هر سلول SRAM ذخیره شده باشد (صفر یا یک)، سیم بندی یک FPGA مبتنی بر SRAM توصیف می‌شود.



شکل 1-4: ساختار یک ماژول سویچ و یک جعبه ی سویچ [8].

انواع اثرات تشعشعات فضایی بر قطعات الکترونیکی

اثرات تشعشعات کیهانی بر قطعات الکترونیکی به سه دسته: TID¹⁰، SEE¹¹ و اثرات غیر یونشی تقسیم می‌شود [3]. در بندهای زیر به صورت مجزا به هر یک از این اثرات می‌پردازیم.

TID 1

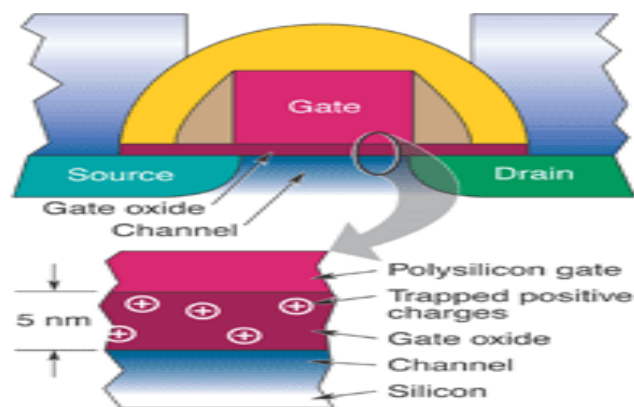
⁹ Switch Box

¹⁰ Total Ionizing Doze

¹¹ Single Event Effect

در طول دوره معینی از مأموریت‌های فضایی ماهواره، تشعشعات کیهانی یونیزه کننده خصوصاً الکترونهاى به دام افتاده در کمر بند ون آلن در قطعات الکترونیکی ماهواره جمع شده و این مجموعه تشعشعات متراکم بعد از مدت کافی که قطعات را تحت تأثیر خود قرار می دهند، با یونیزه کردن قطعات و در نتیجه شکستن یا بازآراستن باندهای اتمی به آنها آسیب وارد می کنند. مقدار دز جذب شده معمولاً بر حسب rad¹² اندازه گیری می شود. خلاصه‌ای از این اثرات عبارتند از: کمتر شدن خاصیت عایقی بیشتر عایقها، رابطها و مواد در مدار مجتمع، روشن و خاموش شدن ناخواسته ترانزیستورها، کاهش بهره در ترانزیستورهای دوقطبی پیوندی و تغییر خصوصیات عملیاتی مدارهای الکترونیکی [9].

تشعشعات متراکم می تواند باعث تغییر خصوصیات عملیاتی مدارهای الکترونیکی شوند، مانند بالا بردن توان، شیفت ولتاژ یا دیگر تغییرات، که نهایتاً باعث نقص قابل توجهی در مدار می شود. ابتدا اکسید گیت، با جذب تشعشع یونیزه شده، سپس الکترون های آزاد و حفره ها تحت تأثیر میدان الکتریکی ایجاد شده بوسیله ولتاژ گیت انتشار می یابند. این حفره ها و الکترونها ممکن است بی خطر باشند، البته این در صورتی است که آنها یک انتشار ساده خارج از گیت داشته و بعد ناپدید شوند. هرچند الکترونها سیار هستند ولی حفره ها این گونه نیستند و کسر کوچکی از آنها در اکسید گیت به دام می افتند. با توجه به شکل 1-5 بعد از انجام تشعشع مؤثر، بار مثبت بزرگی در اکسید گیت ایجاد شده، که این امر مانند اعمال ولتاژ مثبت به گیت است. در نتیجه ترانزیستور روشن می شود، بدون اینکه هیچ ولتاژی از خارج به آن اعمال شده باشد [10]. خلاصه‌ای از اثرات مخرب TID در جدول 1-1 آمده است.



¹² radiation absorbed dose

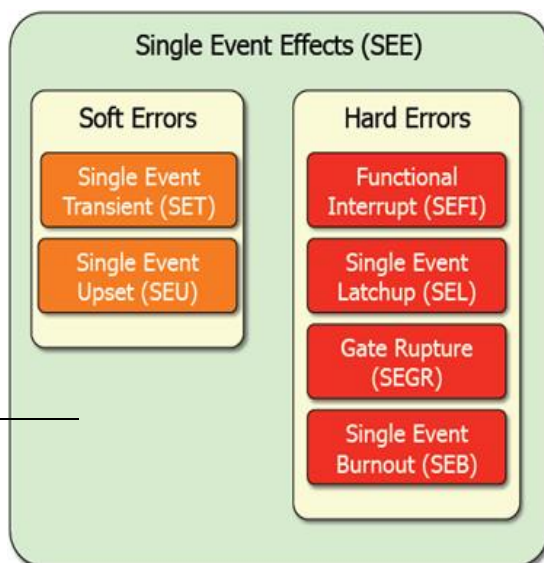
شکل 1-5: تاثیر TID بر روی گیت یک ترانزیستور [9].

جدول 1-1: خلاصه‌ای از اثرات مخرب TID در قطعات الکترونیکی [3].

| اثرات مخرب | قطعه |
|--------------------------------------|--------------------|
| شیفت ولتاژ آستانه | ترانزیستور ماسفت |
| کاهش گین جریان | ترانزیستور دو قطبی |
| افزایش جریان نشتی، کاهش عمر حافظه‌ها | مدارات دیجیتالی |
| افزایش ولتاژ افست و جریان بایاس | قطعات خطی |

SEE -2

SEE به دلیل عبور ذرات پر انرژی از میان قطعات و مدارهای الکترونیکی با یونش مستقیم یا غیرمستقیم بوجود می‌آید. یونهای پر انرژی تشعشعات کیهانی به آسانی می‌توانند در ساختار یک ماهواره نفوذ کنند و از میان اجزای داخلی بگذرند و در خط مستقیمی در همه جهات به مدارات مجتمع در زمان و مکان تصادفی و با زاویه تصادفی حمله کنند. اثرات SEE به دو دسته خطاهای سخت¹³ (خطاهای مخرب) و خطاهای نرم¹⁴ (خطاهای غیر مخرب) تقسیم می‌شود. در شکل 1-6 انواع SEE دسته بندی شده است.



¹³ Hard Errors

¹⁴ Soft Errors

شکل 1-6: انواع SEE [4].

۳- SEU^{۱۵}

واژگونی یا واژگونی نرم، تغییر غیر منتظره‌ای در حالت منطقی یک بیت دیجیتال حافظه، در مدارهای مجتمع میکروالکترونیک است. مکانیزم این خطا به این صورت است که با عبور ذرات پر انرژی از میان قطعه بدون آنکه مدار آسیب ببیند، نیمه هادی یونیزه شده و حالت منطقی آن از 0 به 1 یا برعکس تغییر می‌کند. در نتیجه موجب تحریف داده‌های ذخیره شده بر روی حافظه می‌شود. همچنین ممکن است برنامه‌های ریزپردازنده را تغییر دهد. این تغییر یا واژگونی نرم، دائمی نبوده و بیت می‌تواند بازنویسی شود. واژگونی‌های نرم نتیجه رقابت میان جریان یونش ذره و جریان جاری شده از مدار است [11].

4- SEL^{۱۶}

وقتی یک بیت سیگنال حافظه در یک حالت منطقی قفل شود و نتواند ریست¹⁷ شود، قفل شدن قطعه اتفاق افتاده است. با قطع و وصل توان الکتریکی قطعه قفل شده، قفل شدن برطرف می‌گردد. قفل شدن در اثر عبور ذرات پر انرژی از میان قطعه و در نتیجه یونیزه شدن میکروالکترونیک بوجود می‌آید. برای برگرداندن مدار به حالت اولیه باید تغذیه خاموش گردد و مدار دوباره راه اندازی شود. اگر جریان در نظر گرفته شده برای تراشه به دقت محدود نشده باشد، ممکن است قفل شدن باعث خسارت دائمی به تراشه شود [12].

5- SET^{۱۸}

¹⁵ Single Event Upset

¹⁶ Single Event Latch up

¹⁷ Reset

¹⁸ Single Event Transient

سیگنال یا پالس کوتاه مدت گذرایی است که بوسیله یون سنگین ایجاد می‌شود. پالس‌های کوتاه مدت ممکن است مدارهای آنالوگ را به نوسان دائمی یا موقت تحریک کنند و در مدارهای دیجیتال ممکن است از میان تعدادی گیت منطقی انتشار یابند که این امر موجب جابه جایی سطح منطقی می‌شود.

6- SEGR¹⁹

این پدیده موجب از هم گسیختگی گیت در ترانزیستورهای مسافت می‌شود. البته کاملاً مشهود نیست که گسیختگی گیت تک اتفاق نامیده شود. زیرا ممکن است با ترکیب بارهای افزایش یافته حاصل از شکست و تزریق بارهای داخل اکسید گیت این اتفاق رخ دهد [13].

جدول 1-2: خلاصه ای از اثرات SEE های غیرمخرب بر روی قطعات الکترونیکی [3]

| نوع SEE | اثرات مخرب | قطعه |
|---------|---|-----------------------------|
| SEU | تخریف اطلاعات ذخیره شده و تابع اجرایی | حافظه، FPGA و قطعات دیجیتال |
| SEFI | تغییر روال عادی کار قطعه | پردازنده |
| SET | از دست دادن مقدار دامنه و عرض پالس تعریف شده در مدار | قطعات آنالوگ و هیبرید |

جدول 1-3: خلاصه ای از اثرات SEE های مخرب بر روی قطعات الکترونیکی [3]

| نوع SEE | اثرات مخرب | قطعه |
|---------|-----------------------------|-------|
| SEL | افزایش بیش از حد جریان قطعه | مسافت |

¹⁹ Single Event Gate Rupture

| | | |
|------|------------------------|---|
| SEB | سوزاندن قطعه | ترانزیستور دو قطبی، ماسفت قدرت کانال N |
| SEGR | از هم گسیختگی عایق گیت | ماسفت قدرت |

اثرات غیر یونشی

ذرات باردار تشعشعات کیهانی می‌توانند انرژی خود را بوسیله برهم کنش‌های غیر یونیزاسیون نیز از دست بدهند. بویژه بوسیله آسیب‌های جابه‌جایی^{۲۰} یا آسیب توده‌ای که اتم‌ها از مکان اصلی خودشان جابه‌جا می‌شوند. این واکنش‌ها می‌تواند ویژگی‌های الکتریکی، مکانیکی یا نوری مواد را دگرگون کند و یک مکانیزم آسیب مهم برای قطعات الکترواپتیکی است. اتلاف انرژی غیر یونیزاسیون که می‌تواند با جذب بخشی از انرژی ذره باعث جابه‌جایی اتم‌ها و در نتیجه آسیب به ساختار شبکه جامدات شود نیز، زیر مجموعه این دسته از اثرات است [12].

جایابی بیت‌های پیشنهادی برای ماژول سویچ

همانطور که در بخش 2-3-2 بیان شد، از کدهای همینگ (6²10) و (24²29) برای مقاوم سازی ماژول سویچ FPGAهای مبتنی بر SRAM استفاده می‌شود. همچنین استراتژی جایابی بیت نیز که در بخش 2-2-6 بیان شد، برای بهبود قابلیت تشخیص خطاهای مجاور در کدهای کوتاه شده استفاده می‌شود. در همین راستا، در این بخش از این تکنیک برای بهبود قابلیت تشخیص خطاهای مجاور دوتایی در کدهای همینگ (10،6) و (24،29) استفاده شده است.

ب-روش پیشنهادی و تجزیه و تحلیل

جایابی بیت پیشنهادی برای افزایش قابلیت تشخیص خطا در جعبه سویچ

هر جعبه سویچ دارای 6 بیت برای پیکره بندی است، در نتیجه برای مقاوم سازی در سطح جعبه سویچ با کد همینگ، طبق رابطه 2-7 باید 4 چک بیت به بیت‌های اطلاعات اضافه شود، تا کد قابلیت تصحیح خطاهای تک بیتی را داشته باشد، در نتیجه کد همینگ مورد استفاده، همینگ (10²6) است. ساختار این کد در شکل 2-9 نشان داده شده است. ترکیب حالت‌های 4 بیت می‌تواند برای کد همینگ استاندارد (15²11) استفاده شود، اما

²⁰ Displacement Damage

در این کاربرد تنها 6 بیت در هر جعبه سویچ وجود دارد. حالت‌های مختلف 4 بیت می‌تواند 16 حالت متمایز را نشان دهد که یکی از این حالت‌ها برای حالت بدون خطا و 10 حالت برای خطاهای تک بیتی مورد استفاده قرار می‌گیرد، اما 5 حالت دیگر باقی می‌ماند که بیان باینری آن‌ها بزرگتر از طول کد است و از این حالت‌ها استفاده نشده است. به عبارت دیگر این سندرم‌ها، سندرم‌های آزاد موجود در کد هستند.

حال رابطه 2-8 و شکل 2-9 را در نظر بگیرید، به عنوان مثال اگر یک خطای دوتایی در بیت های H_0 و H_1 رخ دهد سندرم به دست آمده برابر است با "0011" که متناظر است با بیان باینری B_0 ، در نتیجه کد به اشتباه B_0 را تصحیح می‌کند. در خطاهای دوتایی مجاور، تنها اگر خطا در بیت‌های B_3 و H_3 رخ دهد سندرم خروجی برابر است با "1111"، که با سندرم هیچکدام از خطاهای تک بیتی تداخل ندارد (با هیچکدام از ستونهای ماتریس H برابر نیست).

همانطور که در بخش 1-4-3 بحث شد، پیشرفت تکنولوژی نیمه‌هادی و افزایش چگالی حافظه‌ها موجب شده است که با برخورد یک ذره پر انرژی از تشعشعات فضایی چند بیت حافظه به طور همزمان دچار واژگونی شوند. این بیتها در اکثر موارد مجاور هستند، در نتیجه بهبود قابلیت تشخیص و تصحیح خطا اهمیت خاصی دارد. در همین راستا هدف جایابی بیت انتخابی این است که ابتدا ترکیب‌های مخصوص بحث شده در فوق (مانند H_3 و

B_3) را یافته و با استفاده از اطلاعات به دست آمده، بیت‌های کد مورد نظر را به گونه‌ای کنار هم قرار دهد که سندرم خطاهای مجاور دو تایی، برابر با سندرم‌های آزاد شوند، در نتیجه قابلیت تشخیص خطاهای مجاور دوتایی و عدم تصحیح اشتباه در کد افزایش می‌یابد. این پروسه در شکل 2-16 نشان داده شده است.

با استفاده از پروسه نشان داده شده در شکل 2-16 برای همینگ (6 \times 10)، مکان تمام خطاهای دوتایی مخصوص که سندرم آنها از طول کد بزرگتر است به دست آمده است. مکان این خطاهای دوتایی عبارتند از: 1-10، 2-9، 3-8، 4-8، 4-10 \times 4-9، 5-8، 5-9، 5-10، 6-8، 6-10 \times 6-9.

تنها ترکیبی از خطاهای دوتایی مجاور که در حالت عادی، سندرم آن با سندرم خطاهای تک بیتی تداخل ندارد "8-7" (H_3-B_3) است، بنابراین تنها یک خطای دوتایی مجاور از 9 خطای دوتایی مجاور با استفاده از جایابی بیت به صورت عادی قابل تشخیص است. با توجه به اطلاعات فوق جایابی بیت پیشنهادی در جدول 3-1

نشان داده شده است و ماتریس H مربوط به آن نیز در رابطه 3-1 نشان داده شده است (ماتریس شامل اعداد صفر و یک در سمت چپ تساوی، ماتریس H است).

جدول 3-1: جایابی بیت پیشنهادی برای افزایش تشخیص خطا در همینگ (10,6)

| H2 | B1 | B2 | H3 | B0 | H1 | B4 | B3 | B5 | H0 |
|----|----|----|----|----|----|----|----|----|----|
| 4 | 5 | 6 | 8 | 3 | 2 | 9 | 7 | 10 | 1 |

$$\begin{bmatrix} H_2 \\ B_1 \\ B_2 \\ H_3 \\ B_0 \\ H_1 \\ B_4 \\ B_3 \\ B_5 \\ H_0 \end{bmatrix} = \begin{bmatrix} r_3 \\ r_2 \\ r_1 \\ r_0 \end{bmatrix} \quad (1-3)$$

فرض کنید هر ستون ماتریس H رابطه 3-1 از یک ستون باینری به یک عدد دهدهی تبدیل شود. در نتیجه دنباله اعداد مقابل، ماتریس H رابطه 3-1 را توصیف می کند: [4 ، 5 ، 6 ، 8 ، 3 ، 2 ، 9 ، 7 ، 10 ، 1]. حال ماتریس دیگری را در نظر بگیرید که از XOR بین ستونهای مجاور دوتایی ماتریس H به دست آمده است. هر ستون این ماتریس را نیز به اعداد دهدهی تبدیل کنید. دنباله اعداد روبرو این ماتریس را توصیف می کنند: [11 ، 13 ، 14 ، 11 ، 11 ، 14 ، 11 ، 13 ، 14 ، 11 ، 11 ، 14 ، 11 ، 11]. همانطور که مشخص است در توصیف دهدهی دوم، فقط عدد 1 دو مرتبه و عدد 3 نیز یک مرتبه با اعداد توصیف دهدهی اول تداخل دارند که این نشان دهنده این موضوع است که 6 مکان خطای مجاور دوتایی از 9 مکان خطا قابل تشخیص است. که این عدد (6 مکان خطای قابل تشخیص) برابر با کران بالای مربوط به کد (10,6) در خطاهای مجاور دوتایی است. این امر اشاره به این موضوع دارد که با استفاده از تکنیک جایابی بیت، بیشتر از این نمی توان خطاهای مجاور دوتایی را بهبود داد. در جدول 3-2 نتایج این جایابی بیت با مرجع [22] مقایسه شده است. در این جدول برای به دست آوردن ماکزیمم عمق Logic ²¹ (که نشان دهنده تاخیر مدار دیکدر²² است) و تعداد

²¹ Logid Depth

²² Decoder

گیت‌های XOR دو ورودی (که نشان دهنده حجم سخت افزاری و توان مصرفی مدار دیکدر است) از روابط 2-11 و 2-10 استفاده شده است. همانطور که مشاهده می‌کنید، تکنیک جایابی بیت هیچگونه افزونگی را به مدار تحمیل نمی‌کند. در جدول 4-1 اعدادی که زیر آنها خط کشیده شده است نشان دهنده تداخل سندرم‌ها در خطاهای تک بیتی و دو بیتی مجاور است.

جدول 4-1: مقایسه جایابی بیت پیشنهادی برای افزایش تشخیص خطا در جعبه سویچ با مرجع [28].

| درصد خطاهای مجاور دوتایی قابل تشخیص | تعداد خطاهای مجاور دوتایی قابل تشخیص نسبت به تمام خطاهای دوتایی مجاور | XOR بین ستونهای مجاور دوتایی در ماتریس H | تعداد گیت‌های XOR دو ورودی | ماکزیمم عمق logic | ستون های ماتریس H | |
|-------------------------------------|---|--|----------------------------|-------------------|---|---------------------|
| 11%/11 | $\frac{1}{9}$ | $\underline{1} - \underline{7} - \underline{1} - \underline{3}$] - 15 - $\underline{1}$ - $\underline{3}$ - [$\underline{3}$ - $\underline{1}$ | 13 | 3 | - 4 - $\underline{3}$ - 2 - $\underline{1}$] - 8 - $\underline{7}$ - 6 - 5 [10 - 9 | مرجع [28] |
| 66%/66 | $\frac{6}{9}$ | - 14 - 13 - 11] - 11 - $\underline{1}$ - 11 [$\underline{1}$ - $\underline{3}$ - 14 | 13 | 3 | - 7 - 10 - $\underline{1}$] - 8 - $\underline{3}$ - 2 - 9 [4 - 5 - 6 | جایابی بیت پیشنهادی |

جایابی بیت پیشنهادی برای افزایش قابلیت تشخیص خطا در ماژول سویچ

در این سطح از مقاوم سازی کد همینگ برای محافظت از هر ماژول سویچ اعمال می‌شود. در هر ماژول سویچ 24 بیت کنترلی وجود دارد ($N=24$) در نتیجه طبق رابطه 2-7 تعداد 5 بیت به عنوان چک بیت باید اضافه شود تا کد قابلیت تصحیح خطاهای تک بیتی را داشته باشد. تعداد ترکیب‌های مختلف حاصل از 5 بیت می‌تواند برای کد همینگ استاندارد ($2^5=31$) استفاده شود، اما در این کاربرد تعداد بیت‌های اطلاعات 24 عدد است. در نتیجه کد استفاده شده، کد همینگ (24, 29) است که این کد نیز یک کد همینگ کوتاه شده است و در آن دو

سندرم آزاد وجود دارد. ماتریس H مربوط به این کد نیز در رابطه 2-9 نشان داده شده است. در این ماتریس از خطاهای مجاور دوتایی تنها خطا در مکان 15 و 16 قابل تشخیص است و سندرم متناظر آن (1111) با سندرم هیچکدام از خطاهای تک بیتی اشتباه نمی‌شود.

با استفاده از پروسه نشان داده شده در شکل 2-16 برای همینگ (29,24)، مکان تمام خطاهای دوتایی مخصوص که سندرم آنها از طول کد بزرگتر است به دست آمده است. این خطاهای دوتایی عبارتند از: 16-14، 16-15، 17-14، 17-15، 18-12، 18-13، 19-13، 19-19، 20-10، 20-11، 21-10، 21-11، 22-8، 22-9، 23-8، 23-9، 24-6، 24-7، 25-6، 25-7، 26-4، 26-5، 27-4، 27-5، 28-2، 28-3، 29-2، 29-3.

تنها ترکیبی از خطاهای دوتایی مجاور که در حالت عادی، سندرم آن با سندرم خطاهای تک بیت تداخل ندارد "15-16" است، بنابراین تنها 1 خطای دوتایی مجاور از 28 خطای دوتایی مجاور با استفاده از جایابی بیت به صورت عادی قابل تشخیص است و سندرم آن از سندرم خطاهای تک بیت و از حالت بدون خطا، متمایز است. با توجه به اطلاعات فوق جایابی بیت پیشنهادی در شکل 3-1 آمده است و ماتریس H مربوط به آن نیز در رابطه 3-2 نشان داده شده است.

$$H = \begin{bmatrix} 10101010101010101010101010100 \\ 01010101010101011010101010100 \\ 01010101101010100101010110100 \\ 01011010010110100101101001010 \\ 01100110011001100110011001101 \end{bmatrix} \quad (1-2)$$

[16 - 15 - 17 - 14 - 18 - 13 - 19 - 12 - 20 - 11 - 21 - 10 - 22 - 9 - 23 - 8 - 24 - 7 - 25 - 6 - 26 - 5 - 27 - 4 - 28 - 3 - 29 - 2 - 1]

شکل 1-6: جایابی بیت پیشنهادی برای افزایش تشخیص خطا در همینگ (29,24).

در جایابی بیت پیشنهادی به غیر از ترکیب‌های 1-2، 4-28، 6-26، 8-24، 10-22، 12-20 و 14-18 تمام ترکیب‌های دوتایی مجاور با ترکیب‌های مخصوص که سندرم آنها از طول کد بزرگتر است، مطابق هستند. در نتیجه 21 خطای مجاور از 28 خطا قابل تشخیص است. نتایج حاصل از این جایابی بیت و مرجع [28]، در جدول 3-3 مقایسه شده است. همانطور که مشخص است تکنیک جایابی بیت هیچگونه افزونگی را در بر ندارد.

جدول 1-7: مقایسه جایابی بیت پیشنهادی برای افزایش تشخیص خطا در کد همینگ (24، 29) با مرجع [28].

| درصد خطاهای مجاور دوتایی قابل تشخیص | تعداد خطاهای مجاور دوتایی قابل تشخیص نسبت به تمام خطاهای دوتایی مجاور | XOR بین ستونهای مجاور دوتایی در ماتریس H | تعداد گیت‌های XOR دو ورودی | ماکزیم عمق logic | ستون های ماتریس H | |
|-------------------------------------|---|--|----------------------------|------------------|--|---------------------|
| 3%/57 | $\frac{1}{28}$ | $\begin{aligned} & - \underline{1} - \underline{3} - \underline{1} - \underline{7} - \underline{1} - \underline{3}] \\ & - \underline{1} - \underline{7} - \underline{1} - \underline{3} - \underline{1} - \underline{15} \\ & - \underline{1} - \underline{3} - \underline{1} - 31 - \underline{1} - \underline{3} \\ & \underline{3} - \underline{1} - \underline{15} - \underline{1} - \underline{3} - \underline{1} - \underline{7} \\ & [\underline{1} - \underline{7} - \underline{1} - \end{aligned}$ | 66 | 4 | $\begin{aligned} & - 6 - 5 - 4 - \underline{3} - 2 - \underline{1}] \\ & - 11 - 10 - 9 - 8 - \underline{7} \\ & 16 - \underline{15} - 14 - 13 - 12 \\ & - 20 - 19 - 18 - 17 - \\ & 25 - 24 - 23 - 22 - 21 \\ & [29 - 28 - 27 - 26 - \end{aligned}$ | مرجع [28] |
| 75% | $\frac{21}{28}$ | $\begin{aligned} & - \underline{24} - 31 - 30 - 31 - \underline{3}] \\ & - 31 - \underline{24} - 31 - 31 - 31 \\ & - 30 - 31 - \underline{16} - 31 - 30 \\ & - 31 - 30 - 31 - \underline{28} - 31 \\ & - \underline{28} - 31 - 30 - 31 - \underline{24} \\ & [31 - 30 - 31 - \end{aligned}$ | 66 | 4 | $\begin{aligned} & - 4 - \underline{28} - \underline{3} - 29 - 2 - \underline{1}] \\ & 7 - 25 - 6 - 26 - 5 - 27 \\ & - 22 - 9 - 23 - 8 - \underline{24} - \\ & 12 - 20 - 11 - 21 - 10 \\ & 17 - 14 - 18 - 13 - 19 - \\ & [\underline{16} - 15 - \end{aligned}$ | جایابی بیت پیشنهادی |

جایابی بیت پیشنهادی برای افزایش قابلیت تصحیح خطا در جعبه سویچ

همانطور که در بخش 3-1-1 نیز بیان شد هر جعبه سویچ دارای 6 بیت برای پیکره بندی است، در نتیجه برای محافظت از 6 بیت بر اساس رابطه 2-7 باید 4 بیت دیگر اضافه شود، تا کد قابلیت تصحیح خطاهای تک بیتی را داشته باشد. همانطور که در بخش 3-1-1 نیز بحث شده است، 5 سندرم آزاد در این کد وجود دارد که بیان باینری آنها بزرگتر از طول کد است و از این حالتها استفاده نشده است. با استفاده از استراتژی جایابی بیت و سندرمهای استفاده نشده، می توان ستونهای ماتریس H را به گونه ای جایابی کرد که تا حد امکان، سندرم خطاهای دو بیتی مجاور متمایز شده و قابلیت تصحیح خطاهای مجاور دو بیتی برای کد همینگ (6 \times 10) افزایش یابد. با استفاده از پروسه نشان داده شده در شکل 2-16 برای همینگ (6 \times 10)، مکان تمام خطاهای دوتایی مخصوص (سندرم آنها از طول کد بزرگتر است) به دست آمده است. این خطاهای دوتایی عبارتند از: 10-1، 9-2، 8-3، 8-4، 9-4 \times 10-4، 8-5، 9-5، 10-5، 8-6، 7-7 \times 10-7، 7-9 \times 8-7 \times 10-6، 9-6.

با توجه به اطلاعات فوق جایابی بیت پیشنهادی به منظور افزایش قابلیت تصحیح خطاهای مجاور در جدول 3-4 ارائه شده است. و ماتریس H مربوط به آن نیز در رابطه 3-3 نشان داده شده است (ماتریس شامل اعداد صفر و یک در سمت چپ تساوی، ماتریس H است).

جدول 1-5: جایابی بیت پیشنهادی برای افزایش قابلیت تصحیح خطا در جعبه سویچ.

| H1 | B0 | B4 | B2 | H3 | H2 | B1 | B3 | B5 | H0 |
|----|----|----|----|----|----|----|----|----|----|
| 2 | 3 | 9 | 6 | 8 | 4 | 5 | 7 | 10 | 1 |

$$\begin{bmatrix} H_1 \\ B_0 \\ B_4 \\ B_2 \\ H_3 \\ H_2 \\ B_1 \\ B_3 \\ B_5 \\ H_0 \end{bmatrix} = \begin{bmatrix} r_3 \\ r_2 \\ r_1 \\ r_0 \end{bmatrix} \quad (3-3)$$

نتایج حاصل از این جایابی بیت با مرجع [20] در جدول 1-6- مقایسه شده است. همانطور که مشاهده می- کنید، این تکنیک هیچگونه افزونگی در تعداد گیت‌های XOR برای دیکدر و تاخیر مدار دیکدر تحمیل نکرده است.

جدول 1-6-: مقایسه جایابی بیت پیشنهادی برای افزایش تصحیح خطا در جعبه سویچ با مرجع [28].

| درصد خطاهای مجاور دوتائی قابل تشخیص | تعداد خطاهای مجاور دوتائی قابل تصحیح نسبت به تمام خطاهای دوتائی مجاور | XOR بین ستونهای مجاور دوتائی در ماتریس H | تعداد گیت‌های XOR دو ورودی | ماکزیمم عمق logic | ستون های ماتریس H | |
|-------------------------------------|---|---|----------------------------|-------------------|---|---------------------|
| 11%/11 | $\frac{1}{9}$ | $[\underline{1} - \underline{7} - \underline{1} - \underline{3}]$ $1 - 15 - \underline{1} - \underline{3} -$ $[\underline{3} -$ | 13 | 3 | $- 4 - \underline{3} - 2 - \underline{1}]$ $- 8 - \underline{7} - 6 - 5$ $[10 - 9$ | مرجع [28] |
| 55%/55 | $\frac{5}{9}$ | $- \underline{2} - 13 - 11]$ $- 14 - 12 - \underline{1}$ $[\underline{1} - \underline{10} - 15$ | 13 | 3 | $- 7 - \underline{10} - \underline{1}]$ $- 6 - 8 - 4 - 5$ $[\underline{2} - 3 - 9$ | جایابی بیت پیشنهادی |

ارائه روش پیشنهادی مبتنی بر الگوریتم ژنتیک برای بهبود تشخیص خطا

استراتژی جایابی بیت انتخابی به عنوان تکنیکی برای بهبود قابلیت تشخیص خطاهای مجاور ارائه شده است (این روش در بخش 2-2-6 توضیح داده شده است)، اما از نقاط ضعف این روش می‌توان به بازچینی دستی در پایان الگوریتم اشاره کرد، که در تعدادی از کدها، یافتن جواب مناسب و بهینه به صورت دستی منطقی نیست و ممکن است به دلیل خستگی و سخت بودن کار و موارد دیگر، نتیجه نهایی به جوابی که می‌توان به آن دست یافت منتهی نشود. همچنین قدرت این تکنیک با افزایش طول کد کاهش می‌یابد، که دلایل این امر، نیز در مرجع [29] و بخش 2-2-6 پایان نامه بحث شده است. همچنین از دیگر نقاط ضعف تکنیک جایابی بیت می‌توان به ماتریس توازن آن اشاره کرد که ستونهای آن فقط شامل بیان باینری اعدادی کوچکتر و برابر با طول کد است و سندرم‌های آزاد آن بزرگتر از طول کد هستند، در صورتی که منعی برای استفاده از سندرم‌های

بزرگتر از طول کد در ماتریس توازن و آزاد کردن سندرم‌های دیگر وجود ندارد، که این امر ممکن است موجب به دست آوردن جواب مناسب‌تر شود. در نتیجه باید به فکر ارائه یک الگوریتم مناسب‌تر به جای چینش دستی بود. اولین راه حلی که به ذهن می‌رسد، ارائه یک الگوریتم جستجوی کلی است که تمام حالات ممکن را در نظر بگیرد و کارایی تمام آنها را به دست آورد و در نهایت بهترین ماتریس توازن را انتخاب کند. برای درک بهتر در مورد استفاده از این گونه روشها در این مساله، توجه شما را به مثال زیر جلب می‌نمایم.

فرض کنید 16 بیت اطلاعات وجود دارد که می‌خواهیم آنها را با کد همینگ در مقابل خطای تک بیتی مقاوم سازی کنیم. طبق رابطه 2-7 نیاز به 5 عدد چک بیت داریم و کد مورد نظر (16، 21) است. با 5 بیت می‌توان 32 سندرم مختلف را نمایش داد، که در این کد 21 سندرم برای خطاهای تک بیتی و 1 سندرم برای حالت بدون خطا استفاده می‌شود، در نتیجه 10 سندرم آزاد برای افزایش قابلیت تشخیص خطاهای مجاور وجود دارد. حال فرض کنید می‌خواهیم تعداد تمام حالات قرار گرفتن این سندرم‌ها را در ماتریس توازن به دست آوریم. یک سندرم، برای حالت بدون خطا است (00000) و 5 سندرم نیز بیان‌های باینری توانهای عدد 2 هستند که باید حتما در ماتریس توازن وجود داشته باشند. پس 26 سندرم داریم که می‌خواهیم بینیم در چند حالت مختلف می‌توان 16 عدد از آنها را انتخاب کرد. این یک مساله ترکیب است که با رابطه 3-4 عدد مورد نظر به دست می‌آید که برابر است با 5311735.

$$\binom{n}{r} = \frac{n!}{(n-r)! \times r!} \quad (1-3)$$

حال به ازای هر کدام از این حالتها یک جایگشت 21 تایی وجود دارد که از فاکتوریل عدد 21 به دست می‌آید. و در نهایت برای یافتن تمام حالتها باید عدد به دست آمده از ترکیب را در عدد به دست آمده از فاکتوریل عدد 21 ضرب کرد که برابر است با $5311735 \times 5 / 1091 \times 10^{19}$. بررسی این تعداد حالت و یافتن بهترین حالت به دلیل زیاد بودن تعداد حالتها به صورت کاربردی ممکن نیست. اما در این مواقع به الگوریتم‌های جستجوی شبه عمومی و یا الگوریتم‌های تصادفی هدفمند که در فضاهای گسسته نیز کاربرد دارند می‌توان رو آورد. در همین راستا در ادامه روشی مبتنی بر الگوریتم ژنتیک پیشنهاد شده است، که هدف این روش یافتن ماتریس توازن بهبود یافته برای کدهای تصحیح خطای استفاده شده در ماژول سویچ و LUT ها است.

همانطور که در قسمت‌های قبلی بیان شد، تعدادی سندرم آزاد در کدهای همینگ کوتاه شده وجود دارد که آنها با هیچکدام از خطاهای تک بیتی و سندرم حالت بدون خطا تداخل ندارند. استراتژی جایابی بیت از آنها برای

افزایش قابلیت تشخیص خطاهای مجاور استفاده می‌کند، اما روش پیشنهادی ارائه شده در این بخش برای این منظور از الگوریتم ژنتیک استفاده می‌کند (برای کسب اطلاعات مورد نیاز در مورد الگوریتم ژنتیک به مراجع [31] و [21] ارجاع داده می‌شود). الگوریتم ژنتیک با توجه به سندرم های آزاد در کد همینگ کوتاه شده، به دنبال تولید ماتریسی است که در آن قابلیت تشخیص خطاهای مجاور چندتایی افزایش یافته باشد.

در استفاده از الگوریتم ژنتیک تعریف تابع برازندگی مناسب و کروموزوم مناسب از اهمیت خاصی برخوردار است. در این مساله تابع برازندگی مربوطه باید شروط جدول 1-7 را برآورده کند.

جدول 1-7: شروط اعمال شده برای تولید ماتریس H.

| مقدار جریمه | بیان شرط | شماره شرط بر اساس تقدم |
|-------------|---|------------------------|
| 2/75 | اعدادی که توانی از 2 هستند باید در ماتریس وجود داشته باشند. (فرض کنید هر ستون ماتریس از باینری به دهدهی تغییر داده شده است). | 1 |
| 2/5 | اعدادی که توانی از 2 هستند نباید در ماتریس تکراری باشند. (فرض کنید هر ستون ماتریس از باینری به دهدهی تغییر داده شده است). | 2 |
| 2/25 | یک ستون که تمام مقادیر آن صفر است نباید در ماتریس وجود داشته باشد. | 3 |
| 2 | XOR بین دو ستون یا سه ستون مجاور در ماتریس نباید یک ستون که تمام مقادیر آن صفر است بشود. | 4 |
| 1/75 | هر ستون در ماتریس باید منفرد باشد | 5 |
| 1/25 | XOR بین دو ستون مجاور برای کدهای کوتاه شده و سه ستون مجاور برای کدهای توسعه یافته، در ماتریس نباید با ستون های ماتریس برابر باشد. | 6 |

در تابع برازندگی به ازای عدم برقراری هر شرط در جدول 1-6، جریمه در نظر گرفته شده برای آن شرط به تعداد رعایت نشدن آن شرط به تابع برازندگی اعمال می‌شود. مقدار جریمه (مقدار این جریمه‌ها به صورت تجربی و با توجه به اهمیت هر شرط قرار داده شده است) مربوط به هر شرط در جدول 1-6 نشان داده شده است. به عنوان مثال اگر در یک ماتریس دو خطای مجاور دوتایی وجود داشته باشد به مقدار 2/5 به تابع برازندگی آن جریمه اعمال می‌شود.

شرط ششم برای بهبود قابلیت تشخیص خطا قرار داده شده است، اما شروط 1 تا 5، از شروط اساسی تشکیل ماتریس توازن هستند که در صورت عدم برقراری کامل آنها، ماتریس ارائه شده از اعتبار ساقط خواهد بود. برای روشن تر شدن این موضوع به بیان‌های ارائه شده از هر شرط که در ادامه آمده است دقت کنید.

شرط 1 حضور ستونهای مربوط به چک بیتها را در ماتریس H تضمین می‌کند. شرط 2 عدم تکرار این ستونها را در ماتریس H تضمین می‌کند. شرط 3 عدم تداخل خطاهای تک بیتی را با حالت بدون خطا تضمین می‌کند. شرط 4 عدم تداخل خطاهای دو بیتی مجاور را با حالت بدون خطا تضمین می‌کند. شرط 5 قابلیت تصحیح خطاهای تک بیتی را تضمین می‌کند و در نهایت شرط 6 موجب بهبود قابلیت تشخیص خطاهای دو بیتی مجاور (در کدهای کوتاه شده) و سه بیتی مجاور (در کدهای توسعه یافته) می‌شود.

بیت های مربوط به ماتریس H نیز به عنوان کروموزوم برای الگوریتم ژنتیک در نظر گرفته شده است. به عنوان مثال در کد همینگ (10,6) 40 بیت ($10 \times 4 = 40$) در ماتریس H وجود دارد، در نتیجه کروموزوم مربوط به آن یک رشته 40 بیتی است.

و در نهایت پروسه استفاده شده برای یافتن ماتریس مناسب عبارت است از:

- 1- تولید اتفاقی جمعیت اولیه از کروموزوم‌ها.
 - 2- ارزیابی کروموزوم‌ها با تابع برازندگی.
 - 3- انتخاب والدین با توجه به مقدار برازندگی آنها.
 - 4- اعمال عملگر crossover بر روی والدین برای تولید فرزندان با توجه به عدد احتمال در نظر گرفته شده برای آن. اگر بر روی والدینی عملگر crossover اعمال نشده بود، فرزندان با کپی شدن از والدین تولید می‌شوند.
 - 5- اعمال عملگر جهش بر روی فرزندان جدید با توجه به عدد احتمال مربوط به عملگر جهش.
 - 6- استفاده از جمعیت جدید تولید شده برای تکرار الگوریتم در دفعات بعد.
 - 7- متوقف شدن الگوریتم در صورت برآورده شدن شرایط پایان الگوریتم و ارائه بهترین جواب.
 - 8- اگر شرایط پایان الگوریتم بر آورده نشده بود، بازگشت به بند 2.
- فلوچارت مربوط به روند فوق در شکل 3-1 نشان داده شده است.

نتیجه گیری

در فصل دوم این پایان نامه روشهای مقابله با SEU در FPGA های مبتنی بر SRAM تشریح و بیان شده است. این روشها به دودسته افزونگی سخت افزاری و افزونگی اطلاعات تقسیم می شوند. از روشهای سخت افزاری می توان به TMR اشاره کرد. اما این قبیل روشها حجم سخت افزاری زیادی را به مدار تحمیل می کنند. از این رو به روشهای افزونگی اطلاعات مانند کد همینگ با قابلیت تصحیح خطاهای تک بیتی رو آورده شده است. اما با افزایش چگالی حافظه ها و کوچکتر شدن طول کانال در سالهای اخیر، هر ذره از تشعشعات فضایی می تواند چند بیت حافظه را به طور هم زمان واژگون گرداند، که این بیتها در اکثر موارد مجاور هستند. از این رو به روشهایی مانند میان گذاری برای تصحیح خطا در بیتهای مجاور رو آورده شده است. اما این روش در حافظه های کوچک کاربرد ندارد و اثرات نامطلوبی در floor-planning، زمان دسترسی و توان مصرفی دارد. در نتیجه به روشهایی برای بهبود کارایی کدهای تصحیح خطا روی آورده شده است. از این روشها می توان به جایابی بیت انتخابی اشاره کرد.

هدف جایابی بیت انتخابی این است که، ابتدا ترکیبهای مخصوصی از خطاهای پخش شده در کد را، که سندرم آنها برابر با سندرمهای آزاد در کد است را یافته، سپس با استفاده از اطلاعات به دست آمده، بیتهای کد مورد نظر باید به گونه ای کنار هم قرار داده شوند، که قابلیت تشخیص خطاهای مجاور دو تایی در کدهای کوتاه شده و قابلیت تشخیص خطاهای سه تایی در کدهای توسعه یافته افزایش یابد.

استراتژی جایابی بیت در مرجع برای بهبود تشخیص خطاهای مجاور در حافظه ها (برای 8، 16 و 32 بیت اطلاعات) معرفی شده است، اما در این پایان نامه از این استراتژی برای بهبود تشخیص خطاهای مجاور دوتایی در کد همینگ (6، 10) و کد همینگ (29، 24) و همچنین بهبود قابلیت تصحیح خطاهای مجاور دوتایی در کد همینگ (10، 6) استفاده شده است. از این کدها در مرجع برای مقابله با SEU در ماژول سویچ FPGA های مبتنی بر SRAM استفاده شده است.

پس از اعمال جایابی بیت در ماژول سویچ برای کد همینگ (6، 10) قابلیت تشخیص خطاهای مجاور دوتایی از 11/11٪ تا 66/66٪ بهبود یافته است. همچنین در موردی دیگر با اعمال تکنیک جایابی بیت در این کد با رویکرد بهبود قابلیت تصحیح خطاهای مجاور دوتایی، قابلیت تصحیح از 11/11٪ به 55/55٪ بهبود یافته است. همچنین پس از اعمال جایابی بیت در کد (24، 29) قابلیت تشخیص خطاهای مجاور دوتایی از 3/57٪ به 75٪ رسیده است.

اما از نقاط ضعف جایابی بیت انتخابی می توان به بازچینی دستی در پایان الگوریتم اشاره کرد، که یافتن جواب مناسب و بهینه تر به صورت دستی منطقی نیست و ممکن است به دلیل خستگی و سخت بودن کار و موارد دیگر نتیجه نهایی، به جوابی که می توان به آن دست یافت منتهی نشود. همچنین از دیگر نقاط ضعف تکنیک جایابی بیت می توان به ماتریس توازن آن اشاره کرد که ستونهای آن فقط شامل بیان باینری اعدادی کوچکتر و برابر با طول کد است و سندرم های آزاد آن بزرگتر از طول کد هستند، اما می تواند اینطور نباشد و ممکن است در این صورت به جوابی مناسب تر دست یافت. در همین راستا در این پایان نامه روشی مبتنی بر الگوریتم ژنتیک پیشنهاد شده است، که هدف این روش یافتن ماتریس توازن بهبود یافته برای کدهای تصحیح خطای استفاده شده در مازول سویچ و LUT ها است.

پس از اعمال روش پیشنهادی در کد (10²6) تمام خطاهای مجاور دوتایی قابل تشخیص شده است. اما الگوریتم ژنتیک برای کد همینگ (24²29) به دلیل کم بودن تعداد سندرم های آزاد (2 سندرم آزاد) نسبت به طول کد نتوانست ماتریس H معتبری ارائه دهد. همچنین پس از اعمال روش پیشنهادی در کدهای (32²38)، (39²32)، (21²16) و (22²16) تقریباً تمام خطاهای دو بیتی یا سه بیتی مجاور در این کدها (فقط در کدهای شامل 16 بیت اطلاعات کارآیی 95٪ است و در بقیه موارد کارآیی 100٪ است) قابل تشخیص شده است که نسبت به جایابی بیت نتایج بهبود زیادی داشته است. اما این روش با افزودن در تعداد گیت های مورد نیاز برای دیکد کردن همراه است.

از این رو مدل اولیه بهبود داده شده است و قابلیت مصالحه بین حجم سخت افزاری و کارآیی به آن اضافه شده است. در نتیجه از این روش با دو رویکرد متفاوت می توان استفاده کرد: 1- با رویکرد کاهش سخت افزار. 2- با رویکرد افزایش کارآیی.

پس از اعمال مدل بهبود یافته در کدهای شامل 16 بیت اطلاعات با رویکرد افزایش کارآیی، افزودن سخت افزاری افزایش یافته است، اما کارآیی آنها که پس از اعمال مدل اولیه به 100٪ نرسیده بود، به 100٪ رسیده است. و در رویکرد کاهش سخت افزار نیز، افزودن ایجاد شده نسبت به جایابی بیت از بین رفته است اما کارآیی نسبت به مدل اولیه کاهش یافته است، البته هنوز کارآیی نسبت به جایابی بیت افزایش خوبی دارد و حتی برای کد (38²32) علاوه بر رفع افزودن، همچنان کارآیی 100٪ باقی مانده است.

مراجع

- [1] H.Koskinen, E.Tanskanen, "Space weather space catalogue", ESA space weather study (ESWS) January 2001.
- [2] Alan Tribble , "The space environment. Implications for spacecraft design" , Princeton University Press 1995.
- [3] R. Velazco , "Radiation Effects on Embedded Systems", Springer, 2007.
- [4] Fernanda Kastensmidt and Massimo Violante," Building Reconfigurable Hardware for Space using COTS FPGAs: Challenges and Possible Solutions", Tutorial AHS 2011.
- [5] Fernanda de Lima, Luigi Carro, Ricardo Reis,"Single Event Upset Mitigation Techniques for SRAM-based FPGAs",in Design Automation Conference,2003.
- [6] A. Rohani and H. R. Zarandi, "Mitigating and Tolerating SEU Effects in Switch Modules of SRAM-based FPGAs", 5th Southern Conference on Computing & Processing (Hardware/Software) Programmable Logic, 2009 IEEE.
- [7] Konstantinos Kyriakoulakos and Dionisios Pnevmatikatos, "A NOVEL SRAM-BASED FPGA ARCHITECTURE FOR EFFICIENT TMR FAULT TOLERANCE SUPPORT ", Prague, International Conference on Field Programmable Logic and Applications, 2009.
- [8] Alireza Rohani, Hamid R.zarandi and Mahroo Zandrahimi, "New Switch Box Architecture for SEU Detection in SRAM-based FPGAs", 2ndInternational Conference on Communication, Networking & Broadcasting ; Computing&Processing (Hardware/Software) Computer Science and its Applications,2009 IEEE.
- [9] هادی رزمجوئی، " بررسی اثرات تشعشعات کیهانی بر روی مدارهای مجتمع ماسفت ماهواره در مدار LEO ، دومین کنفرانس ملی تشعشعات فضایی، سازمان پژوهش های علمی و صنعتی ایران، دی ماه 91
- [10] John Scarpulla and Allyson Yarbrough," What Could Go Wrong? The Effects of Ionizing Radiation on Space Electronics",<http://www.klabs.org>,NASA Office of Logic Design, Summer 2003.
- [11] E. L. Petersen, "RADIATION INDUCED SOFT FAILS IN SPACE ELECTRONICS", IEEE Transactions on Nuclear Science, Vol. NS-30, No. 2, April 1983.
- [12] Kenneth Bekkeng, "Radiation effects on space electronics", University of Oslo -Department of Physics, <http://www.uio.no>, 2011.
- [13] James H. Adams, Jr., "RADIATION EFFECTS IN MICROELECTRONICS FOR SPACE INSTRUMENTS", IEEE Transactions on Nuclear Science, Vol. NS-30, No. 1, February 1983.
- [14] G.H. Johnson, R.D. Schrimpf, K.F. Galloway, R. Koga, " Temperature dependence of single-event burnout in n-channel power MOSFETs", IEEE Trans. on Nuclear Science, vol. 39, pp. 1605-1612, 1992.
- [15] Earl Fuller, Michael Caffrey, Phil Blain, Carl Carmichael, Noor Khalsa, Anthony Salazar, "Radiation Test Results of the Virtex FPGA and ZBT SRAM for Space Based Reconfigurable Computing", MAPLD (Military & Aerospace Applications of Programmable Logic Devices) 9/28-30/99, Laurel MD, 1999.

- [16] Gregory Allen, Gary Swift, Carl Carmichael, "VIRTEX-4VQ STATIC SEU CHARACTERIZATION SUMMARY", NASA Electronic Parts and Packaging (NEPP), 2008.
- [17] E. Ibe, H. Taniguchi, Y. Yahagi, K. Shimbo, and T. Toba, "Impact of scaling on neutron-induced soft error in SRAMs from a 250 nm to a 22 nm design rule," IEEE Trans. Electron Devices, vol. 57, no. 7, pp. 1527–1538, Jul. 2010.
- [18] R. Baumann, "Soft errors in advanced computer systems", IEEE Trans. Device Mater. Reliab., vol. 22, no. 3, pp. 258–266, May–Jun. 2005.
- [19] S. Satoh, Y. Tosaka, and S. A. Wender, "Geometric effect of multiple-bit soft errors induced by cosmic ray neutrons on DRAM's," IEEE Electron Device Lett., vol. 21, no. 6, pp. 310–312, Jun. 2000.
- [20] M. Carmichael, C. Caffrey and S. A., "Correcting single event upset through virtex partial reconfiguration," in Xilinx Application Notes, XAPP216, 2000.
- [21] Nathaniel Rollins, Megan Fuller, and Michael J. Wirthlin, "A Comparison of Fault-Tolerant Memories in SRAM-Based FPGAs ", Big Sky, MT, Aerospace Conference, 2010 IEEE.
- [22] Xiaoxuan She, P.K. Samudrala, "Selective Triple Modular Redundancy for Single Event Upset (SEU) Mitigation", 2009 NASA/ESA Conference on Adaptive Hardware and Systems.
- [23] S. Yang, "Logic Synthesis and Optimization Benchmark User Guide Version 3.0", MCNC, 1991.